

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-073165

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G02F 1/133  
H03F 3/50  
H03K 19/0175

(21)Application number : 09-233519

(71)Applicant : SONY CORP

(22)Date of filing : 29.08.1997

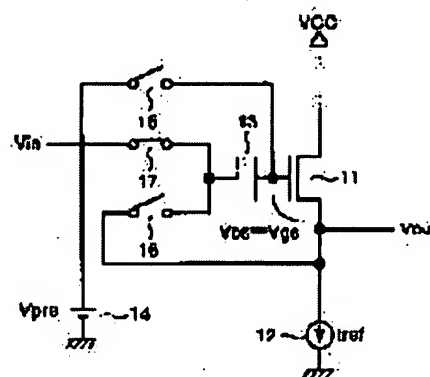
(72)Inventor : MAEKAWA TOSHIICHI  
NAKAJIMA YOSHIHARU

## (54) SOURCE FOLLOWER CIRCUIT AND OUTPUT CIRCUIT OF LIQUID CRYSTAL DISPLAY DEVICE USING THE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a source follower circuit capable of canceling offset with high accuracy and to provide an output circuit of liquid crystal display using the circuit.

SOLUTION: This source follower circuit has an NMOS source follower transistor 11 in which the drain is connected to a power supply VCC and a current source 12 connected between the source of the transistor 11 and the ground. In this case, the offset cancel structure is formed by connecting one end of a capacitor 13 to the gate of the transistor 11, connecting a 1st analog switch 15 between the gate of the transistor 11 and a precharge power supply 14, connecting a 2nd analog switch 16 between the other end of the capacitor 13 and the source of the transistor 11, and connecting a 3rd analog switch 17 between the other end of the capacitor 13 and Vin.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination] 17.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3613940

[Date of registration] 12.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-73165

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133 5 2 0
	5 5 0	5 5 0
H 0 3 F 3/50		H 0 3 F 3/50
H 0 3 K 19/0175		H 0 3 K 19/00 1 0 1 F
審査請求 未請求 請求項の数13 O L (全 9 頁)		

(21) 出願番号 特願平9-233519

(22) 出願日 平成9年(1997) 8月29日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

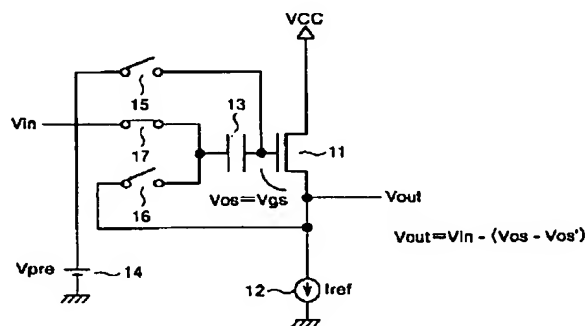
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 ソースフォロワ回路およびこれを用いた液晶表示装置の出力回路

(57) 【要約】

【課題】 ポリシリコンTFTで構成されたソースフォロワ回路においては、 $V_{th}$ ばらつきが大きいため、出力電位のばらつきが大きく、各コラム線を駆動する出力バッファとして用いた場合に各回路間で出力電位が大きくばらつく。

【解決手段】 ドレインが電源VCCに接続されたNMOSのソースフォロワトランジスタ11と、このトランジスタ11のソースと接地間に接続された電流源12とを有するソースフォロワ回路において、トランジスタ11のゲートにキャパシタ13の一端を接続するとともに、トランジスタ11のゲートとプリチャージ電源14の間に第1のアナログスイッチ15を、キャパシタ13の他端とトランジスタ11のソースの間に第2のアナログスイッチ16を、キャパシタ13の他端と $V_{in}$ の間に第3のアナログスイッチ17をそれぞれ接続し、オフセットキャンセル構造とする。



1

## 【特許請求の範囲】

【請求項 1】 ソースフォロワトランジスタのゲートに一端が接続されたキャパシタと、

前記ソースフォロワトランジスタのゲートとブリチャージ電源の間に接続された第 1 のアナログスイッチと、

前記キャパシタの他端と前記ソースフォロワトランジスタのソースの間に接続され、前記第 1 のアナログスイッチと連動する第 2 のアナログスイッチと、

前記キャパシタの他端と信号源の間に接続され、前記第 1、第 2 のアナログスイッチの開閉動作に対して反転動作を行う第 3 のアナログスイッチとを備えたことを特徴とするソースフォロワ回路。

【請求項 2】 前記ソースフォロワトランジスタはポリシリコン薄膜トランジスタであることを特徴とする請求項 1 記載のソースフォロワ回路。

【請求項 3】 前記第 1、第 2 のアナログスイッチはブリチャージ期間にオン状態、出力期間にオフ状態となり、前記第 3 のアナログスイッチはブリチャージ期間にオフ状態、出力期間にオン状態となることを特徴とする請求項 1 記載のソースフォロワ回路。

【請求項 4】 前記ソースフォロワトランジスタのドレイン側にカスコード接続され、ゲート側が前記ソースフォロワトランジスタのゲート側に接続されたカスコード接続トランジスタを有することを特徴とする請求項 1 記載のソースフォロワ回路。

【請求項 5】 前記カスコード接続トランジスタのゲートにソースが、前記ソースフォロワトランジスタのゲートにゲートがそれぞれ接続された前記カスコード接続トランジスタと逆導電型のトランジスタを有することを特徴とする請求項 4 記載のソースフォロワ回路。

【請求項 6】 前記カスコード接続トランジスタはデプレッション型のトランジスタであることを特徴とする請求項 4 記載のソースフォロワ回路。

【請求項 7】 前記ソースフォロワトランジスタのゲートと前記カスコード接続トランジスタのゲートの間に接続されたキャパシタと、

前記カスコード接続トランジスタのゲートと所定の電源の間に接続され、前記第 1、第 2 のアナログスイッチと連動する第 4 のアナログスイッチとを有することを特徴とする請求項 4 記載のソースフォロワ回路。

【請求項 8】 液晶表示装置の出力回路において、各コラム線を駆動する複数の出力バッファの各々は、ソースフォロワトランジスタのゲートに一端が接続されたキャパシタと、前記ソースフォロワトランジスタのゲートとブリチャージ電源の間に接続された第 1 のアナログスイッチと、前記キャパシタの他端と前記ソースフォロワトランジスタのソースの間に接続され、前記第 1 のアナログスイッチと連動する第 2 のアナログスイッチと、前記キャパシタの他端と信号源の間に接続され、前記第 1、第 2 のアナログスイッチの開閉動作に対して反

2

転動作を行う第 3 のアナログスイッチとを備えたソースフォロワ回路からなることを特徴とする液晶表示装置の出力回路。

【請求項 9】 前記液晶表示装置は前記出力回路の前段に、上位ビット側が基準電圧選択型、下位ビット側がスイッチドキャパシタアレイ型の DA コンバータを有し、前記ソースフォロワ回路は前記スイッチドキャパシタアレイ型のキャパシタを前記キャパシタに兼用したことを特徴とする請求項 8 記載の液晶表示装置の出力回路。

【請求項 10】 前記ソースフォロワ回路は、前記ソースフォロワトランジスタのドレイン側にカスコード接続され、ゲート側が前記ソースフォロワトランジスタのゲート側に接続されたカスコード接続トランジスタを有することを特徴とする請求項 8 記載の液晶表示装置の出力回路。

【請求項 11】 前記液晶表示装置は前記出力回路の前段に、上位ビット側が基準電圧選択型、下位ビット側がスイッチドキャパシタアレイ型の DA コンバータを有し、

前記ソースフォロワ回路は前記スイッチドキャパシタアレイ型のキャパシタを前記キャパシタに兼用したことを特徴とする請求項 10 記載の液晶表示装置の出力回路。

【請求項 12】 前記ソースフォロワ回路は、前記ソースフォロワトランジスタのゲートと前記カスコード接続トランジスタのゲートの間に接続され、前記第 1、第 2 のアナログスイッチと連動するキャパシタと、前記カスコード接続トランジスタのゲートと所定の電源の間に接続された第 4 のアナログスイッチとを有することを特徴とする請求項 10 記載の液晶表示装置の出力回路。

【請求項 13】 前記液晶表示装置は前記出力回路の前段に、上位ビット側が基準電圧選択型、下位ビット側がスイッチドキャパシタアレイ型の DA コンバータを有し、

前記ソースフォロワ回路は前記スイッチドキャパシタアレイ型のキャパシタを前記キャパシタに兼用したことを特徴とする請求項 12 記載の液晶表示装置の出力回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソースフォロワ回路およびこれを用いた液晶表示装置の出力回路に関し、特にポリシリコン薄膜トランジスタ（以下、ポリシリコン TFT (thin film transistor) と称する）で構成されたソースフォロワ回路およびこれを出力バッファとして用いた液晶表示装置の出力回路に関する。

【0002】

【従来の技術】液晶表示装置 (LCD) において、各コラム線容量を充電するための出力バッファは、一般的に、オペアンプ（演算増幅器）を用いたボルテージフォロワ回路によって構成されている。ところが、液晶パネ

ルとその駆動部をポリシリコンで一体的に形成することを考えた場合、オペアンプは回路が複雑で、しかもポリシリコンTFTは特性がばらつくとともに、閾値電圧 $V_{th}$ が大きいので、ボルテージフォロワ回路をポリシリコンで構成することが難しく、したがって液晶パネルとその駆動部をポリシリコンで一体的に形成することも困難となる。

【0003】

【発明が解決しようとする課題】そこで、回路構成の簡単なソースフォロワ回路を用いて出力バッファを構成することが考えられる。ポリシリコンTFTで構成された単純なソースフォロワ回路の回路構成を図11に示す。同図において、ソースフォロワトランジスタ101のドレインが電源VCCに接続され、そのゲートが入力端となる。そして、ソースフォロワトランジスタ101のソースが出力端となり、そのソースとグランドの間には電流源102が接続されている。

【0004】かかる構成のソースフォロワ回路においては、その入出力間にソースフォロワトランジスタ101のゲート・ソース電圧 $V_{gs}$ に相当するオフセットが発生する。このオフセット電位 $V_{gs}$ は、トランジスタの閾値電圧 $V_{th}$ や移動度 $\mu$ などの関数であることから、トランジスタの特性ばらつきによって出力電圧 $V_{out}$ がばらつくことになる。すなわち、出力電圧 $V_{out}$ は、

$$V_{out} = V_{in} - V_{gs}$$

となる。

【0005】一般に、ソースフォロワ回路のオフセット電位 $V_{gs}$ は次式で表される。

$$V_{gs} = V_{th} + \sqrt{(I_{ref}/k)}$$

但し、 $k = 0.5 \times \mu \times C_{ox} \times W/L$ である。ここで、 $I_{ref}$ は電流源102の電流、 $k$ は定数、 $C_{ox}$ 、 $W$ 、 $L$ はそれぞれトランジスタの酸化膜容量、ゲート長、ゲート幅である。

【0006】以上の説明から明らかなように、ポリシリコンTFTで構成されたソースフォロワ回路においても、トランジスタの $V_{th}$ ばらつきが大きいので、出力電位のばらつきが大きく、各コラム線容量を充電する出力バッファとして用いた場合に各回路間で出力電位が大きくばらつくことになる。したがって、ポリシリコンによる液晶パネルとその駆動部との一体的形成を考えた場合に、現状の構成のソースフォロワ回路をそのまま出力バッファとして用いることは困難である。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、オフセットキャンセルを高精度に行い得るソースフォロワ回路およびこれを用いた液晶表示装置の出力回路を提供することにある。

【0008】

【課題を解決するための手段】本発明によるソースフォロワ回路は、ソースフォロワトランジスタのゲートに一

端が接続されたキャパシタと、ソースフォロワトランジスタのゲートとプリチャージ電源の間に接続された第1のアナログスイッチと、キャパシタの他端とソースフォロワトランジスタのソースの間に接続され、第1のアナログスイッチと連動する第2のアナログスイッチと、キャパシタの他端と信号源の間に接続され、第1、第2のアナログスイッチの開閉動作に対して反転動作を行う第3のアナログスイッチとを備えた構成となっている。

【0009】上記構成のソースフォロワ回路において、プリチャージ期間では、第1、第2のアナログスイッチがオン（閉）、第3のアナログスイッチがオフ（開）となることで、ソースフォロワトランジスタのゲートに対して、プリチャージ電源から第1のアナログスイッチを介して特定のプリチャージ電圧が印加される。このとき、ソースフォロワトランジスタのゲートとソースの間に接続されたキャパシタには、オフセット分 $V_{os}$ （ $=V_{gs}$ ）に対応した電荷が蓄積される。その後、出力期間では、第1、第2のアナログスイッチがオフ、第3のアナログスイッチがオンとなることで、キャパシタの他端側が信号源側に再接続され、ソースフォロワトランジスタのゲートがプリチャージ電源から切り離される。このとき、ソースフォロワトランジスタのゲート電位は、 $V_{in} + V_{os}$ となる。その結果、 $V_{gs}$ に相当するオフセット $V_{os}'$ が発生したとしても、 $V_{os}' = V_{gs}$ であることからオフセットキャンセルが行われる。

【0010】また、本発明による液晶表示装置の出力回路は、各コラム線を駆動する出力バッファとして上記構成のソースフォロワ回路を用いる。このソースフォロワ回路の場合、ポリシリコンTFTのような閾値電圧 $V_{th}$ が大きく、かつばらつきの大きなトランジスタで回路を作成しても、オフセットキャンセルを高精度に行えることから、複数個並列に並べた場合であっても、各回路間の出力電位のばらつきを十分低減できる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0012】図1は、本発明の第1実施形態を示す回路図である。この第1実施形態では、ドレインが電源VCCに接続されたNMOSのソースフォロワトランジスタ11と、このソースフォロワトランジスタ11のソースと接地間に接続された電流源12とを有するソースフォロワ回路において、ソースフォロワトランジスタ11のゲートにキャパシタ13の一端が接続されるとともに、ソースフォロワトランジスタ11のゲートとプリチャージ電源14の間に第1のアナログスイッチ15が、キャパシタ13の他端とソースフォロワトランジスタ11のソースの間に第2のアナログスイッチ16が、キャパシタ13の他端と信号源（ $V_{in}$ ）の間に第3のアナログスイッチ17がそれぞれ接続された構成となっている。

【0013】ここで、第1のアナログスイッチ15と第

2のアナログスイッチ16は連動する。すなわち、同じ期間にオン（閉）／オフ（開）状態となる。また、第3のアナログスイッチ17は、第1、第2のアナログスイッチ15、16の開閉動作に対して反転動作を行う。すなわち、第1、第2のアナログスイッチ15、16がオン状態のときオフ状態となり、第1、第2のアナログスイッチ15、16がオフ状態のときオン状態となる。

【0014】続いて、上記構成の第1実施形態に係るソースフォロワ回路の回路動作について、図2のタイミングチャートを用いて説明する。

【0015】まず、準備期間（プリチャージ期間）T1において、第1、第2のアナログスイッチ15、16をオン状態、第3のアナログスイッチ17をオフ状態にする。これにより、ソースフォロワトランジスタ11のゲートに対して、プリチャージ電源14から第1のアナログスイッチ15を介して特定のプリチャージ電圧 $V_{pre}$ が印加される。このとき、ソースフォロワトランジスタ11のゲートとソースの間に接続されたキャパシタ13には、オフセット分 $V_{os}$ （ $=V_{gs}$ ）に対応した電荷が蓄積される。

【0016】その後、出力期間T2では、第1、第2のアナログスイッチ15、16をオフ状態、第3のアナログスイッチ17をオン状態にする。これにより、キャパシタ13の他端側（ソースフォロワトランジスタ11のソース側）が入力信号 $V_{in}$ 側（信号源側）に再接続され、ソースフォロワトランジスタ11のゲートがプリチャージ電源14から切り離される。このとき、ソースフォロワトランジスタ11のゲート電位は、 $V_{in}+V_{os}$ となる。

【0017】その結果、ソースフォロワトランジスタ11のゲート・ソース電圧 $V_{gs}$ に相当するオフセット $V_{os}'$ が発生したとしても、 $V_{os}'=V_{os}$ であることからオフセットキャンセルが行われ（即ち、 $V_{os}-V_{os}'$ ）、出力期間T2における出力電位 $V_{out}$ は、入力電位 $V_{in}$ とほぼ同じ電位となる。また、このことは、トランジスタ特性のばらつきに対する出力電位変動を低減できることと等価となる。

【0018】しかも、キャパシタ13に対するプリチャージを、信号源ではなく独立のプリチャージ電源14で行えるので、信号源の出力インピーダンスを極めて小さくする必要がない。これに伴うメリットは、本ソースフォロワ回路を液晶表示装置の水平ドライバ内の基準電圧選択型DAコンバータの出力回路として用いる場合に極めて大きい。すなわち、基準電圧線の線幅を小さくできるので、回路全体の小面積化が可能となる。

【0019】上述した回路動作に伴う効果は、ソースフォロワ回路をポリシリコンTFTで構成したときに特に有効となる。その理由は、以下の通りである。すなわち、ポリシリコンTFTは基板電位を持たないため、基板バイアス効果がない。そのため、入力電圧（ソースフ

ォロワトランジスタ11の入力電位）が変化し、出力電圧（ソースフォロワトランジスタ11のソース電位）が変化した場合でも、閾値電圧 $V_{th}$ の変化が起らず、オフセットキャンセル動作が精度良く行われる。また、基板電位がないため、第1のアナログスイッチ15の一端側（ソースフォロワトランジスタ11のベース側）の寄生容量が小さくなり、トランジスタ11のベース電位が変化した場合でも、キャパシタ13に蓄積されたオフセット電荷が逃げにくい。

10 【0020】このポリシリコンTFTで構成したソースフォロワ回路は、例えば、液晶表示装置における各コラム線容量を充電するための出力バッファとして用いられる。特に、液晶パネルとその駆動部をポリシリコンで一体的に形成する場合における出力バッファとして用いると、非常に有用なものとなる。

【0021】図3は、本発明が適用される液晶表示装置の一例を示す概略構成図である。図3において、液晶セル（画素）21がマトリクス状に2次元配置されることによって液晶パネル22が構成され、この液晶パネル22の周辺には行選択を行うための垂直（ロウ）ドライバ23および列選択を行うための水平（コラム）ドライバ24が設けられている。そして、液晶パネル22とその周辺回路、即ち垂直ドライバ23および水平ドライバ24などがポリシリコンによって一体的に形成される。

20 【0022】図4に、水平ドライバ24の構成の一例を示す。この水平ドライバ24は、コラム線の本数 $n$ に相当する段数のシフトレジスタ25と、このシフトレジスタ25から順次出力されるサンプリングパルスに同期してデータバスライン上のデータをサンプリングするサンプリング回路26と、そのサンプリングデータを1水平期間の間保持するラッチ回路27と、そのラッチデータをアナログ信号に変換するDAコンバータ28と、各コラム線を駆動する $n$ 個の出力バッファ29-1～29- $n$ からなる出力回路30とから構成されている。この水平ドライバ24において、出力バッファ29-1～29- $n$ として、本発明に係るソースフォロワ回路が用いられる。

【0023】図5は、第1実施形態に係るソースフォロワ回路を出力バッファに適用した応用例を示す回路図である。なお、図1と同等部分には同一符号を付して示してある。この応用例では、出力回路30の前段に設けられたDAコンバータ28が、上位3ビット $b_0 \sim b_2$ に対して基準電圧選択型DAコンバータ31を、下位3ビット $b_3 \sim b_5$ に対してスイッチドキャパシタアレイ型DAコンバータ32をそれぞれ用いた構成の場合において、スイッチドキャパシタアレイ型DAコンバータ32のキャパシタを、第1実施形態に係るソースフォロワ回路のオフセット蓄積用のキャパシタ13に兼用した構成を採っている。

50 【0024】すなわち、下位3ビット $b_3 \sim b_5$ に対応して設けられ、かつ一端がソースフォロワトランジスタ

11のゲートに共通に接続された4個のキャパシタ33, 34, 35, 36の合成容量がオフセット蓄積用のキャパシタ13に対応する。ここで、4個のキャパシタ33, 34, 35, 36の容量比は、 $4C_o : 2C_o : C_o : C_o$ となるように設定される。また、キャパシタ33~36の各他端とソースフォロワトランジスタ11のソースの間に接続された4個のアナログスイッチ41~44が第2のアナログスイッチ16に、キャパシタ33~36の各他端と信号源の間に接続された4個のアナログスイッチ37~40が第3のアナログスイッチ17にそれぞれ対応する。アナログスイッチ15, 41~44などは、プリチャージパルス制御回路45によって開閉制御される。

【0025】上述したように、下位3ビットb3~b5側をスイッチドキャパシタアレイ型とした構成のDAコンバータ28を具備する液晶表示装置の水平ドライバ24において、出力バッファ29-1~29-nとして第1実施形態に係るソースフォロワ回路を用いることにより、オフセット蓄積用のキャパシタ13とスイッチドキャパシタアレイ型DAコンバータ32のキャパシタを兼用で

【0026】図6は、本発明の第2実施形態を示す回路図である。この第2実施形態では、第1実施形態と同様に、NMOSのソースフォロワトランジスタ51のゲートにキャパシタ53の一端が接続されるとともに、ソースフォロワトランジスタ51のゲートとプリチャージ電源54の間に第1のアナログスイッチ55が、キャパシタ53の他端とソースフォロワトランジスタ51のソースの間に第2のアナログスイッチ56が、キャパシタ53の他端と信号源(Vin)の間に第3のアナログスイッチ57がそれぞれ接続された構成に加え、ソースフォロワトランジスタ51のドレイン側にNMOSのトランジスタ58がカスコード接続され、さらにソースフォロワトランジスタ51のゲートにゲートが、カスコード接続トランジスタ58のゲートにソースがそれぞれ接続されたPMOSのソースフォロワトランジスタ59が設けられ、カスコード接続トランジスタ58およびソースフォロワトランジスタ59のゲート・ソース共通接続点と電源VCC間に電流源60が接続された構成となっている。

【0027】上記構成の第2実施形態に係るソースフォロワ回路においても、第1実施形態に係るソースフォロワ回路の回路動作の場合と同様に、第1, 第2のアナログスイッチ55, 56は準備期間(プリチャージ期間)にオン(閉)状態、出力期間にオフ(開)状態となり、第3のアナログスイッチ57は準備期間にオフ状態、出力期間にオン状態となる。

【0028】ところで、ソースフォロワトランジスタ5

1のドレイン側にカスコード接続されたNMOSのトランジスタ58を持たない第1実施形態の構成の場合には、準備期間と出力期間におけるソースフォロワトランジスタ51の動作点(特に、ゲート・ドレイン電圧Vgd)が異なってしまうため、MOSトランジスタのVds(ドレイン・ソース電圧)-Ids(ドレイン・ソース電流)の特性に起因して、準備期間(プリチャージ期間)のゲート・ソース電圧Vgs1と出力期間のゲート・ソース電圧Vgs2が完全に一致しないことがあり、Vos-Vos'分のオフセットが残ることがある。

【0029】ところが、この第2実施形態においては、ソースフォロワトランジスタ51のドレイン側にNMOSのトランジスタ58をカスコード接続するとともに、ソースフォロワトランジスタ51のゲートとカスコード接続トランジスタ58のゲートの間にPMOSのソースフォロワトランジスタ59を接続したことで、ソースフォロワトランジスタ51のゲート・ドレイン電圧Vgdを、プリチャージ期間においても、任意の信号を出力する出力期間においても、ほぼ一定に保つことができる。

【0030】これは、ソースフォロワトランジスタ51のドレイン電圧をVd、ゲート電圧をVg、カスコード接続トランジスタ58のゲート・ソース電圧をVgs58、ソースフォロワトランジスタ59のゲート・ソース電圧をVgs59とすると、

$$V_d = V_g + V_{gs59} - V_{gs58}$$

と表され、ソースフォロワトランジスタ51のドレイン電圧Vdがそのゲート電圧Vgに応じて変化するからである。

【0031】第1実施形態の回路構成に比べると、ソースフォロワトランジスタ51のドレイン電圧変動は、およそカスコード接続トランジスタ58のソース接地電圧ゲイン分の1にできる。したがって、ソースフォロワトランジスタ51の動作点変動による入出力オフセット変動は減少する。その結果、トランジスタ特性のばらつきに対する出力電位のばらつきをより低減できることになる。

【0032】なお、第2実施形態に係るソースフォロワ回路の回路動作については、図2のタイミングチャートに基づく第1実施形態に係るソースフォロワ回路の回路動作の場合と同じである。また、上述した回路構成に伴う効果は、ソースフォロワ回路をポリシリコンTFTで構成したときに特に有効となる。その理由は、第1実施形態の説明で述べた理由と同じである。

【0033】図7は、第2実施形態の変形例を示す回路図であり、図中、図6と同等部分には同一符号を付して示してある。この変形例においては、ソースフォロワトランジスタ51のドレイン側にカスコード接続したトランジスタ58として、デプレッション型のトランジスタ58'を用いた構成を採っている。

【0034】デプレッション型のトランジスタは負の閾

値電圧 $V_{th}$ を持つことから、ソースフォロワトランジスタ51のゲートとドレイン間に接続するソースフォロワが1段だけの構成であっても、ソースフォロワトランジスタ51のドレイン電圧 $V_d$ をそのゲート電圧 $V_g$ に追従させることができる。この回路構成によれば、第2実施形態の回路構成におけるソースフォロワトランジスタ59を省略できるため、その分だけ回路面積を小さくできる利点がある。

【0035】図8は、第2実施形態に係るソースフォロワ回路を液晶表示装置の水平ドライバにおける出力バッファに適用した応用例を示す回路図である。なお、図6と同等部分には同一符号を付して示してある。この応用例では、第1実施形態に係る応用例の場合と同様に、前段のDAコンバータ28が、上位3ビット $b_0 \sim b_2$ に対して基準電圧選択型DAコンバータ31を、下位3ビット $b_3 \sim b_5$ に対してスイッチドキャパシタアレイ型DAコンバータ32をそれぞれ用いた構成の場合において、スイッチドキャパシタアレイ型DAコンバータ32のキャパシタを、第2実施形態に係るソースフォロワ回路のオフセット蓄積用のキャパシタ53に兼用した構成

を採っている。この構成に伴う効果は、第1実施形態に係る応用例の場合と同じである。

【0036】図9は、本発明の第3実施形態を示す回路図である。この第3実施形態では、第1実施形態と同様に、NMOSのソースフォロワトランジスタ61のゲートにキャパシタ63の一端が接続されるとともに、ソースフォロワトランジスタ61のゲートとブリチャージ電源64の間に第1のアナログスイッチ65が、キャパシタ63の他端とソースフォロワトランジスタ61のソースの間に第2のアナログスイッチ66が、キャパシタ63の他端と信号源( $V_{in}$ )の間に第3のアナログスイッチ67がそれぞれ接続された構成に加え、ソースフォロワトランジスタ61のドレイン側にNMOSのトランジスタ68がカスコード接続されるとともに、ソースフォロワトランジスタ61のゲートとカスコード接続トランジスタ68のゲートの間にキャパシタ69が接続され、さらにカスコード接続トランジスタ68のゲートとある特定の電圧値 $V_c$ の電源70の間に第4のアナログスイッチ71が接続された構成となっている。

【0037】上記構成の第3実施形態に係るソースフォロワ回路においても、第1実施形態に係るソースフォロワ回路の回路動作の場合と同様に、第1、第2のアナログスイッチ65、66は準備期間(ブリチャージ期間)にオン(閉)状態、出力期間にオフ(開)状態となり、第3のアナログスイッチ67は準備期間にオフ状態、出力期間にオン状態となる。また、第4のアナログスイッチ71は、第1、第2のアナログスイッチ65、66に連動し、準備期間にオン状態、出力期間にオフ状態となる。

【0038】電源70の電圧値 $V_c$ は、ソースフォロワ

トランジスタ61のブリチャージ電圧 $V_{pre}$ の電圧値に対してある量だけシフトとした値に設定する。そのシフト量は、ソースフォロワトランジスタ61とカスコード接続トランジスタ68の飽和条件から求められるものである。なお、電源70の電圧値 $V_c$ の代わりに、ソースフォロワトランジスタ61のゲート電位を入力としたソースフォロワを用いることも可能である。

【0039】上記の構成において、第1、第2のアナログスイッチ65、66と第3のアナログスイッチ67とを反転動作によって開閉制御し、ブリチャージ期間にソースフォロワトランジスタ61の入力(ゲート)と出力(ソース)にキャパシタ63を接続して当該トランジスタ61のゲート・ソース電圧 $V_{gs}$ に相当する電荷を蓄積し、出力期間においてこのキャパシタ63のソース側を入力に再接続して入出力間の電圧差をキャンセルするための回路動作は、図2のタイミングチャートに基づく第1実施形態の回路動作の場合と同じである。

【0040】以上の回路動作に加え、本実施形態においては、ブリチャージ期間に第4のアナログスイッチ71をオン状態にすることにより、カスコード接続トランジスタ68のゲートを電圧値 $V_c$ にブリチャージする。そして、出力期間において第4のアナログスイッチ71をオフ状態にすることにより、カスコード接続トランジスタ68のゲートを電源70から切り離す。

【0041】この第4のアナログスイッチ71のオン/オフ動作に伴う回路動作により、カスコード接続トランジスタ68のゲート電位を、電源電圧 $V_{CC}$ よりも高く設定することができるため、第1、第2実施形態の回路構成の場合に比べて、ソースフォロワトランジスタ61のドレイン電圧が高くなる。これにより、ソースフォロワトランジスタ61として、ポリシリコンTFTなどの閾値電圧 $V_{th}$ が高くなかつぱらつきが大きいトランジスタを用いてソースフォロワ回路を構成したとしても、結果として、当該トランジスタ61のドレイン電圧範囲が広がることになるため、出力のダイナミックレンジを拡大できる。

【0042】なお、ソースフォロワトランジスタ61のゲート・ドレイン電圧 $V_{gd}$ については、第2実施形態に係る回路構成の場合と同様に、ブリチャージ期間においても出力期間においてもほぼ一定に保てることから、精度の良いオフセットキャンセルを行うことができるので、トランジスタ特性のばらつきに対する出力電位のばらつきをより低減できる。また、上述した回路構成に伴う効果は、ソースフォロワ回路をポリシリコンTFTで構成したときに特に有効となる。その理由は、第1実施形態の説明で述べた理由と同じである。

【0043】図10は、第3実施形態に係るソースフォロワ回路を液晶表示装置の水平ドライバにおける出力バッファに適用した応用例を示す回路図である。なお、図9と同等部分には同一符号を付して示してある。この応

10

20

30

40

50



用例では、第1、第2実施形態に係る応用例の場合と同様に、前段のDAコンバータ28が、上位3ビットb0～b2に対して基準電圧選択型DAコンバータ31を、下位3ビットb3～b5に対してスイッチドキャパシタアレイ型DAコンバータ32をそれぞれ用いた構成の場合において、スイッチドキャパシタアレイ型DAコンバータ32のキャパシタを、第3実施形態に係るソースフォロワ回路のオフセット蓄積用のキャパシタ63に兼用した構成を採っている。この構成に伴う効果は、第1実施形態に係る応用例の場合と同じである。

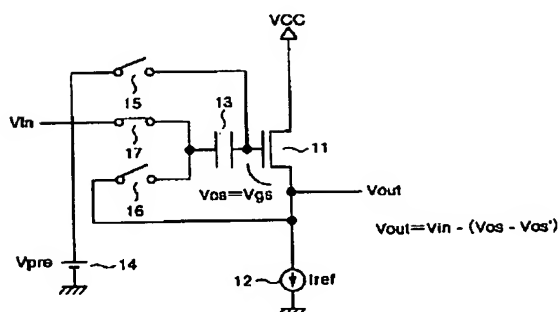
【0044】なお、上記第1～第3実施形態においては、ソースフォロワトランジスタとしてNMOSトランジスタを用いたNMOSソースフォロワ回路に適用した場合について説明したが、その反転形であるPMOSソースフォロワ回路にも同様に適用可能である。

【0045】

【発明の効果】以上説明したように、本発明によれば、ソースフォロワトランジスタのゲートにキャパシタの一端を接続するとともに、ソースフォロワトランジスタのゲートとブリチャージ電源の間に第1のアナログスイッチを、キャパシタの他端とソースフォロワトランジスタのソースの間に第2のアナログスイッチを、キャパシタの他端と信号源の間に第3のアナログスイッチをそれぞれ接続し、ブリチャージ動作を行わせる構成としたことにより、オフセットキャンセルを高精度に行うことができる。

【0046】また、液晶表示装置の出力回路において、各コラム線を駆動する出力バッファとして本発明によるソースフォロワ回路を用いることにより、ポリシリコンTFTのような閾値電圧 $V_{th}$ が大きく、かつばらつきの大きなトランジスタで回路を作成しても、オフセットキャンセルを高精度に行えることから、複数個並列に並べた場合であっても、各回路間の出力電位のばらつきを十分低減できる。したがって、液晶パネルとその駆動部\*

【図1】



\*をポリシリコンで一体的に形成する際の出力バッファとして用いて特に有用なものとなる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示す回路図である。

【図2】動作説明のためのタイミングチャートである。

【図3】本発明が適用される液晶表示装置の一例を示す概略構成図である。

【図4】水平ドライバの構成の一例を示すブロック図である。

10 【図5】第1実施形態に係るソースフォロワ回路を液晶表示装置の水平ドライバにおける出力バッファに適用した応用例を示す回路図である。

【図6】本発明の第2実施形態を示す回路図である。

【図7】第2実施形態の変形例を示す回路図である。

【図8】第2実施形態に係るソースフォロワ回路を液晶表示装置の水平ドライバにおける出力バッファに適用した応用例を示す回路図である。

【図9】本発明の第3実施形態を示す回路図である。

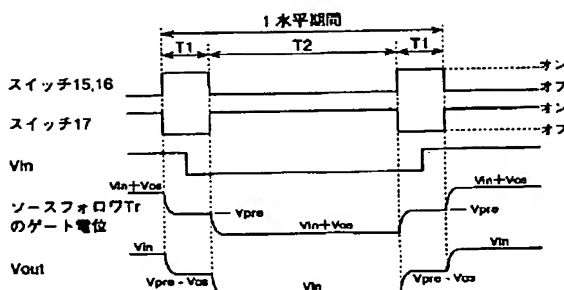
20 【図10】第3実施形態に係るソースフォロワ回路を液晶表示装置の水平ドライバにおける出力バッファに適用した応用例を示す回路図である。

【図11】従来例を示す回路図である。

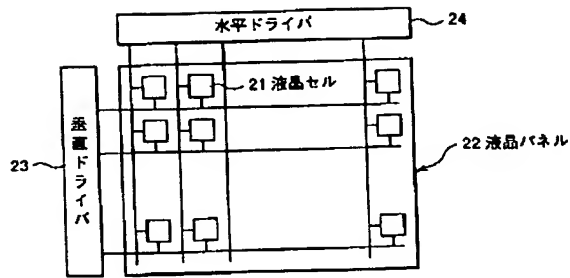
【符号の説明】

11, 51, 61…ソースフォロワトランジスタ、13, 53, 63…キャパシタ、14, 54, 64…ブリチャージ電源、15, 55, 65…第1のアナログスイッチ、16, 56, 66…第3のアナログスイッチ、17, 57, 67…第2のアナログスイッチ、21…液晶セル、22…液晶パネル、23…垂直ドライバ、24…水平ドライバ、28…DAコンバータ、29-1～29-n…出力バッファ、30…出力回路、31…基準電圧選択型DAコンバータ、32…スイッチドキャパシタアレイ型DAコンバータ、71…第4のアナログスイッチ

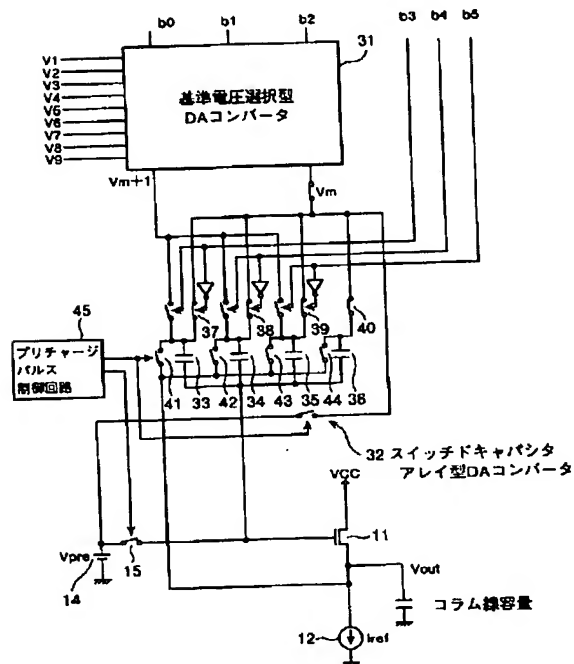
【図2】



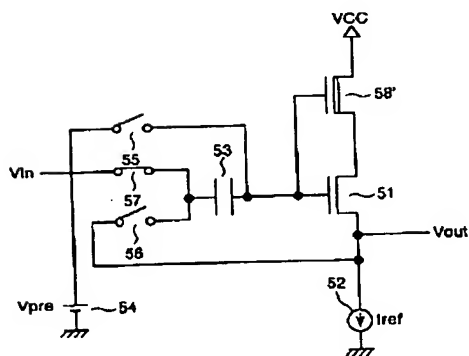
【図3】



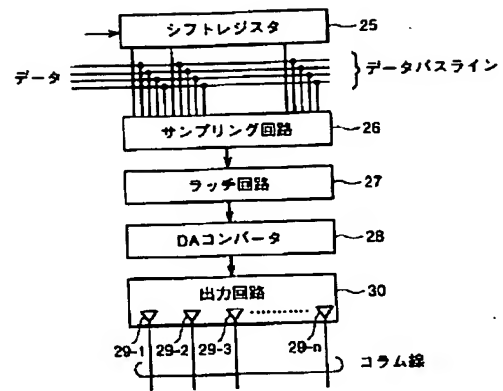
【図5】



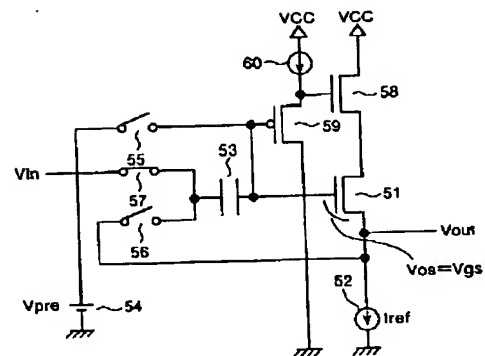
【図7】



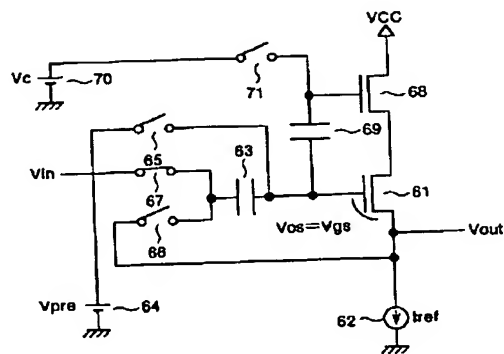
【図4】



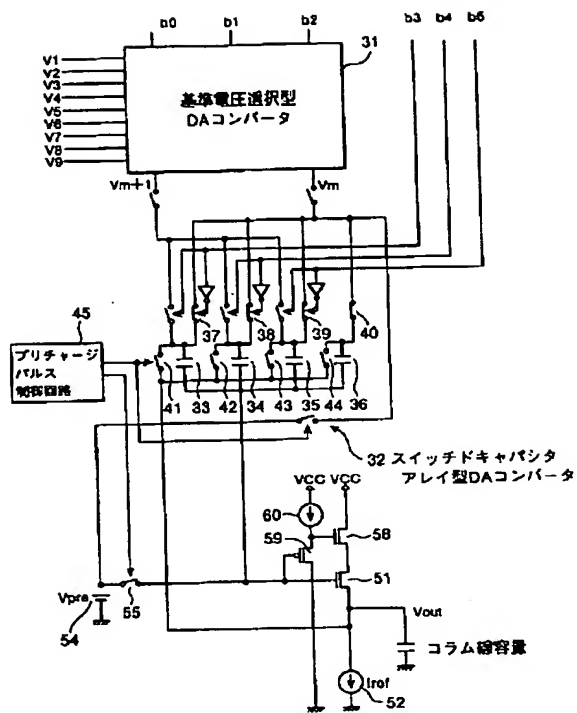
【図6】



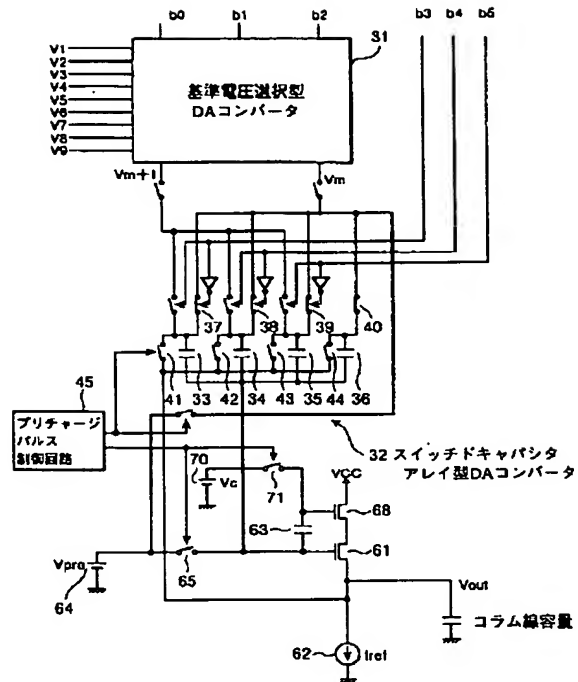
【図9】



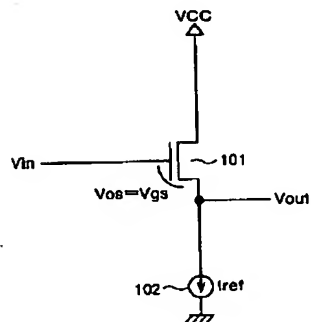
【図8】



【図10】



【図11】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**